

基于 TTP/C 总线的开放式 DEEC 设计 及 PIL 仿真验证

陈 建^{1,2}, 刘冬冬^{1,2}, 张天宏¹

(1. 南京航空航天大学 能源与动力学院

江苏省航空动力系统重点实验室, 南京 210016;

2. 中国航空工业集团公司 航空动力控制系统研究所, 江苏 无锡 214063)

摘 要: 基于自主设计的 TTP/C(时间触发协议)总线控制器,提出了开放式 DEEC(发动机数字式电子控制器)的冗余架构,将其划分为输入、核心计算及输出 3 种智能节点,并制定了各个智能节点的任务调度规划图.设计了基于 DSP(digital signal processor)+FPGA(field-programmable gate array)的智能节点硬件平台,在此基础上完成各智能节点的软件设计.最后构建了开放式 DEEC 的 PIL(process in the loop)仿真测试平台,以发动机模型为控制对象,展开了状态调节试验和总线故障注入试验.试验结果证明该开放式 DEEC 是可行的,并具有良好的重构特性.

关 键 词: 发动机数字式电子控制器; TTP/C 总线; 开放式架构; PIL 仿真; 重构

中图分类号: V233.7

文献标志码: A

Design of open DEEC based on TTP/C bus and verification of PIL simulation

CHEN Jian^{1,2}, LIU Dong-dong^{1,2}, ZHANG Tian-hong¹

(1. Jiangsu Province Key Laboratory of Aerospace Power System,

College of Energy and Power Engineering,

Nanjing University of Aeronautics and Astronautics, Nanjing 210016, China;

2. Aviation Motor Control System Institute,

Aviation Industry Corporation of China, Wuxi Jiangsu 214063, China)

Abstract: With the self-development TTP/C (time trigger protocol/automotive class C) bus controller, a redundant architecture of open DEEC (digital electronic engine controller) was proposed, which was divided into three kinds of intelligent nodes: input, core calculation and output, and the task scheduling for each intelligent node was planned. Hardware platform of intelligent node was designed based on DSP (digital signal processor) and FPGA (field-programmable gate array), and the software was designed for each intelligent node. Finally, a PIL (process in the loop) simulation test platform for open DEEC was constructed. With an engine model as the controlled object, the state regulation experiments and bus fault injection experiments were conducted. The experiment results show that the open DEEC architecture is feasible and has a good reconstruction ability.

Key words: DEEC; TTP/C bus; open architecture; PIL simulation; reconstruction

当前 DEEC 一般采用集中式双通道冗余架构,其计算任务集中在某一个处理器上完成.这种架构导致软件设计难度大、故障检测及系统重构设计复杂、维护升级成本高、系统可重用性差等问题^[1-3].

开放式 DEEC 按照不同的功能特点将其划分为多个功能模块,每个功能模块都包含一个独立的处理器,通过开放式数据总线将其互联.相对于集中式架构,这种开放式架构具有以下优点:①每个功能模块均具独立运行处理器,将显著提高整体计算性能,并降低并行实时任务开发和验证难度;②各个功能模块通过开放式总线互连,任何一个模块的更新设计并不影响其他模块,这将简化系统维护、升级过程;③不同的功能模块可以由不同的团队并行开发,提高开发效率;相同功能的模块也具有很高的可重用性,简化了新系统的设计过程;④模块化的电路结构有利于故障定位、隔离与重构,提高系统可靠性^[4].这些优点为进一步提升发动机控制系统性能,提高可靠性,减少系统质量,降低系统的全寿命周期费用带来显著效益.

总线技术的发展、电子技术的进步为开放式 DEEC 的设计奠定了基础.本文针对开放式 DEEC 的设计及验证展开研究.基于自主设计的 TTP/C 总线控制器,提出了一种开放式 DEEC 的冗余架构,并采用 DSP+FPGA 完成智能节点

(下文简称节点)硬件平台设计,构建了 PIL 仿真测试平台,针对开放式 DEEC 进行了 PIL 仿真试验.

1 TTP/C 总线控制器简介

TTA(时间触发架构)是奥地利维也纳理工大学的 Kopetz 提出的分布式实时容错系统架构,在该架构的基础上于 1993 年首次提出了 TTP/C 协议^[5].TTP/C 协议是一种基于计算机网络的通信协议,具有严格时间确定性、安全关键性和完全分布式等特性.

TTP/C 总线系统的基本架构如图 1 所示,它由主机、通讯网络接口(CNI)、TTP/C 总线控制器组成 TTP/C 总线节点,采用双通道冗余总线和双绞线传输介质构建了 TTP/C 总线网络^[6].TTP/C 总线的通信组织采用 TDMA(时分多路复用)访问方式实现.如图 2 所示,每个节点在时间轴(t)上指定的时间段发送消息,实现无冲突的 TDMA 模式的介质访问策略.这样可以避免总线冲突,保证了高实时性通信要求.总线控制器内部的分布式容错同步时钟采用 Welch-Lynch 同步算法,确保节点间的时间误差在一个预设的精度范围内.MDEL(消息描述列表)是总线控制器内一个预先规划好的总线调度表,该表定义了各个节点在一个 TDMA 周期内每个时间槽的具体行为.TTP/C 总线控制器采用 GMP(组成员协议),通过控制器内部的成员关系列表相互确认,实现

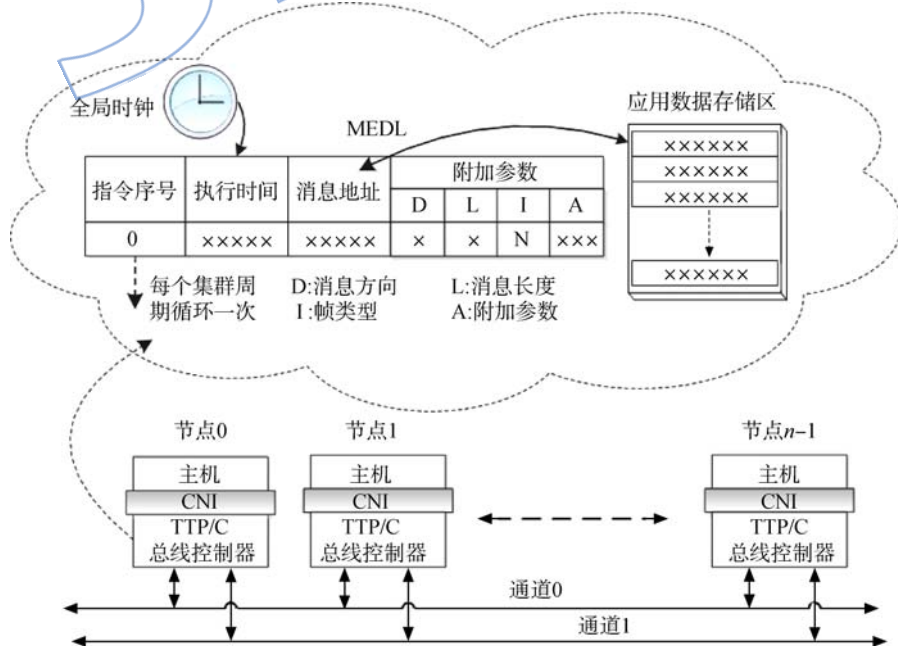


图 1 TTP/C 总线系统的基本架构

Fig. 1 Basic architecture of TTP/C bus system

对故障节点的快速探测和隔离,维持整个系统的一致性. TTP/C 采用无主机通信模式,每个节点的地位是平等的,这使得总线上某个节点的故障不会影响整个系统的正常运行^[7].

文献[8-9]根据 TTP/C 协议规范,采用 FPGA 自主设计了 TTP/C 总线控制器,实现了 MDEL 命令单元、时间触发器、主机 CNI 接口、成员关系一致性算法、全局同步时钟等功能.

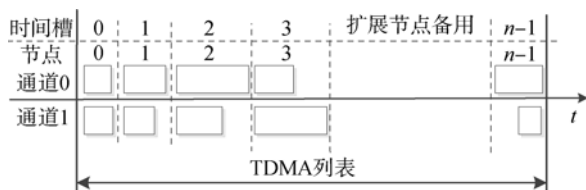


图2 TTP/C总线的TDMA访问方式

Fig. 2 TDMA access strategy of TTP/C bus

2 基于TTP/C总线的开放式DEEC总体架构设计

本文设计的开放式DEEC总体结构框图如图3所示. 控制器包含2个输入节点、3个核心计算节点以及2个输出节点. 输入节点主要用于采集发动机状态信号;核心计算节点根据采集到的发动机状态信号,进行控制律计算,得出控制量;输出节点根据控制量驱动执行机构. 所有节点均包含TTP/C总线控制器,节点之间通过TTP/C总线进行数据通信. 为了保证开放式DEEC的可靠性,输入节点及输出节点均采用了双冗余结构,而核心计算节点则采用了三冗余结构.

参考一般的发动机数控系统,开放式DEEC

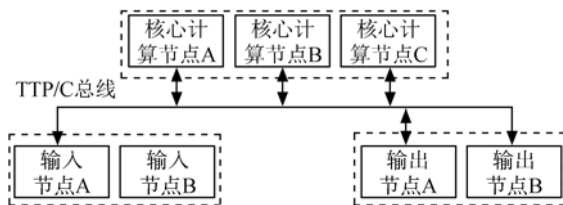


图3 基于TTP/C总线的开放式DEEC结构

Fig. 3 Structure of open DEEC based on TTP/C bus

的控制步长取20 ms. 根据TTP/C协议要求,将控制步长划分为多个时隙,每个时隙内由特定的节点完成相应的任务,一系列节点协调完成输入、计算控制量和输出等控制任务. 基于TTP/C总线的开放式DEEC任务调度规划如图4所示^[10-11],图中T为单个TDMA周期内总线运行时间. 第1时隙从0 ms开始,由输入节点通过传感器采集发动机各种状态信号. 发动机状态信号采集完成后,第2时隙和第3时隙分别由输入节点A及输入节点B在TTP/C总线广播所采集到的状态信号. 第4时隙从7 ms开始,此时3个核心计算节点已经接收到发动机状态信号,开始进行控制律计算,从而得到控制量. 后面3个时隙从12 ms开始,分别间隔1 ms,主要用于核心计算节点在总线上广播其计算得到的控制量. 第8时隙从第15 ms开始,此时输出节点A在总线上广播其接收到的控制量信号. 1 ms后,第9时隙广播输出节点B接收到的控制量信号. 输出节点在驱动输出前广播其控制量,用于输出节点间的故障互检测. 第10时隙则是从第17 ms开始,该时刻开始输出节点驱动输出其得到的控制量. 由此可见,整个DEEC运行均遵循时间触发机制,保证了整个系统的无冲突协调运行.

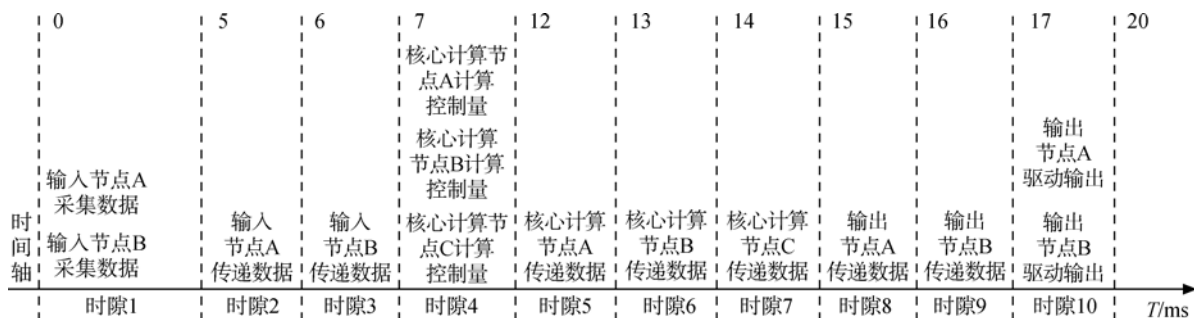


图4 基于TTP/C总线的开放式DEEC任务调度规划图

Fig. 4 Task scheduling plan of open DEEC based on TTP/C bus

3 节点设计

3.1 硬件平台设计

为了简化开放式DEEC的硬件设计,本文所

有的节点均采用统一的硬件平台. 节点硬件平台结构如图5所示,包括基于FPGA的TTP/C总线控制器和基于DSP的节点主机两部分. 其中,DSP采用TI(Texas Instruments)公司带硬件浮

点、面向工业控制应用的 TMS320F28335, 用于实现数据采集、控制律计算、控制量输出控制等任务, 它和 FPGA 之间通过 CNI 进行数据交换。CNI 其本质为一个在 FPGA 内开辟的允许主机和 TTP/C 总线控制器随机访问的双口 RAM(随机存取存储器)存储空间。

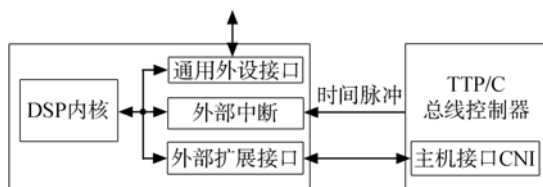


图 5 节点硬件平台结构

Fig. 5 Structure of node hardware platform

输入节点可使用 DSP 的 eCAP(enhanced capture), GPIO(general purpose input/output), AD(analog to digital convert)等外设进行发动机状态采集。其中 eCAP 模块可用于采集发动机转速信号, GPIO 接口可用于开关状态量的采集或控制, 而 AD 模块可用于采集热电阻、热电偶、压力、位移以及油门杆位置等模拟信号。DSP 将采集到的发动机状态通过外部扩展接口发送至 CNI 接口。TTP/C 总线控制器在特定时间读取 CNI 接口, 并将发动机状态信号通过总线广播。

核心计算节点中, DSP 从 CNI 接口获取输入节点提供的发动机状态信号后, 首先进行有效性判断和选择, 然后进行控制律计算, 并将得到的控制量发送到 CNI 接口。TTP/C 总线控制器负责输入节点所发送数据的接收, 并将 DSP 计算得到的控制量向总线广播。

输出节点需要完成开关量、频率量或模拟量的输出控制。DSP 通过 GPIO 接口输出开关量可控制各种阀门、通过 PWM(pulse width modulation)端口输出频率量可控制各种高速开关电磁阀。DSP 自身不具有模拟量输出功能, 可使用 SPI(serial peripheral interface)接口扩展 DA(digital to analog convert)芯片, 实现对伺服阀等连续量执行机构的控制。TTP/C 总线控制器需要接收核心计算节点所发送的控制量, 并且还要将其接收到的控制量在特定时间广播出去。

3.2 节点软件设计

根据开放式 DEEC 中各节点的任务规划, 本文对各节点主机进行了软件设计。在所有节点中, TTP/C 总线控制器会在特定时刻发送时间脉冲,

触发 DSP 中断。DSP 在中断服务程序中完成信号采集、计算或输出控制任务。

本文在核心计算节点内设计了一个发动机最大状态调节控制器, 该控制器可以克服发动机进口条件变化对转速的干扰^[12-13]。当飞行高度或马赫数发生变化时, 选取燃油量和尾喷管面积作为控制量, 保证发动机在最大状态下的稳定工作。燃油量控制采用的是按进口总温 T_1^* 进行分段的控制规律, 将整个控制过程分为高压转速控制回路、低压转速控制回路及低压换算转速控制回路, 每个控制回路均采用 PID(比例-积分-微分)算法。尾喷管面积控制采用和燃油量控制相似的控制规律, 也按进口总温 T_1 进行分段。但只分两段: 一段是开环控制; 一段是变参数 PID 控制^[14]。

本文将针对该开放式 DEEC 进行 PIL 仿真试验, 不涉及真实信号量的采集或输出, 输入、输出节点均通过各自的异步串口与模型计算机通信, 因此, 所有节点均设计了串口通信程序。

4 PIL 仿真试验研究

4.1 PIL 仿真试验平台

为了验证所设计开放式 DEEC 的可行性, 本文展开了 PIL 仿真试验研究, 即仅各节点的处理器参与仿真试验, 输入、输出节点均通过各自的异步串口与模型计算机通信来实现信号的采集或控制。

如图 6 所示, 开放式 DEEC 的 PIL 仿真平台主要包含监控及模型计算机、8 端口并行实时串口卡及 7 个节点^[15-17]。监控及模型计算机一方面用于运行某型发动机模型作为 PIL 仿真试验中 DEEC 的控制对象; 另一方面提供 PIL 仿真试验的状态监控, 即参数设置和状态显示, 可以设置发动机的飞行环境参数, 显示发动机转速等状态参数。监控及模型计算机通过 8 端口并行实时串口卡与各节点进行串行通信。

4.2 状态调节试验

图 7 为开放式 DEEC 进行状态调节试验时的监控界面, 当调节飞行高度或马赫数, 导致发动机进口总温 T_1^* 发生改变, 此时状态调节控制器通过调节燃油量保持发动机转速 N_t , N_c 基本稳定, 抑制了环境变化对发动机转速的影响^[12]。试验表明本文设计的电子控制器能够实现对发动机模型的有效控制。

图 8 所示为 PIL 仿真试验时用示波器对总

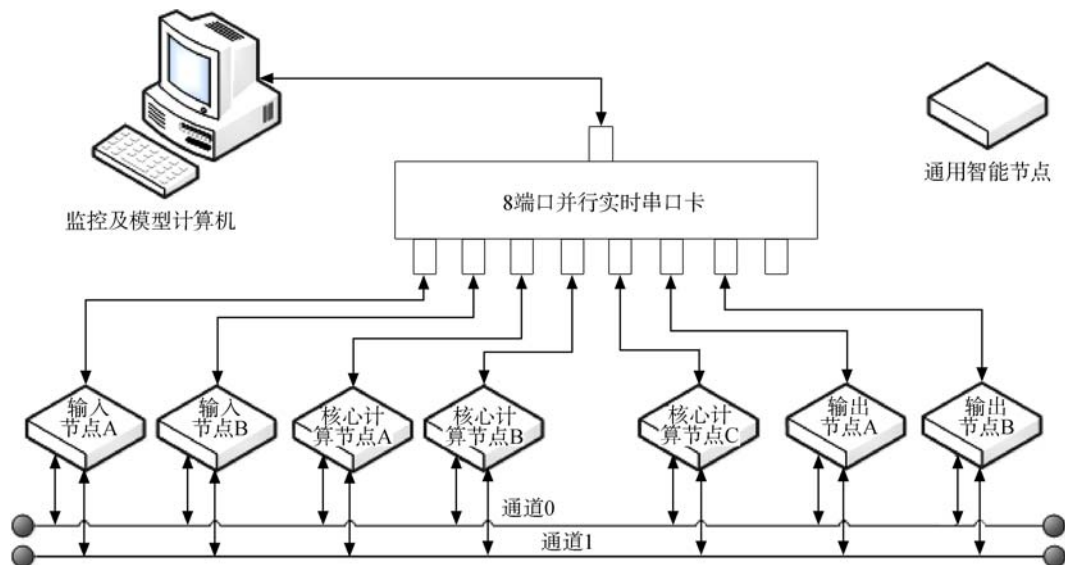


图 6 开放式 DEEC 的 PIL 仿真平台架构

Fig. 6 Architecture of PIL simulation platform for open DEEC

线信号进行监控的截图,其中上部信号为 TTP/C 总线信号,下部信号为模型计算机发送给输入节

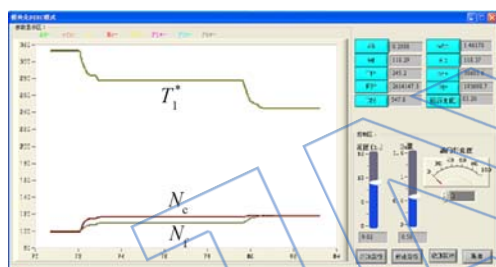


图 7 状态调节试验监控界面

Fig. 7 Monitoring interface of state regulation test

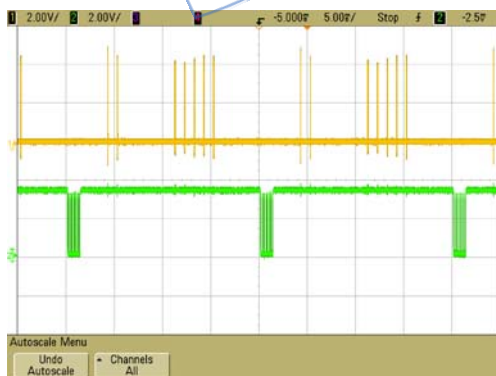


图 8 PIL 仿真试验数据截图

Fig. 8 Screenshot of PIL simulation test data

点 A 的串口数据信号。由图可见,开放式 DEEC 能按照本文设计的时间规划运行。

4.3 容错性能测试试验

为了验证开放式 DEEC 的故障容错能力,开

展了总线故障注入试验。设计了 4 种总线故障模式:单输入节点断路、单控制节点断路、双控制节点断路、单输出节点断路,通过物理断开连接的方法实现以上故障注入^[16,18]。

当注入单输入节点断路故障时,发动机的高低压转子转速均没有出现变化,此时调节发动机飞行高度及马赫数,使发动机的进口总温 T_{t1} 发生变化,发动机转速在小范围调节之后又恢复稳定,表明电子控制器的正常工作未受该故障模式的影响。进行其他模式故障注入试验时,试验证明 DEEC 仍然有效。通过故障注入试验,表明本文的冗余管理算法是有效的。

开放式 DEEC 能够方便地获取其他节点的状态,并且接受所有节点的数据。相对于传统的基于 BIT(built-in test)的双通道数字式电子控制器结构^[19],其能够更方便地进行故障检测,并且快速进行重构,避免了专门故障切换模块及通道切换步骤,使开放式 DEEC 具有很好的容错特性。

5 结 论

开放式 DEEC 将复杂任务进行模块化划分,提高了计算性能,并降低并行实时任务的开发和验证难度。各功能模块通过开放式总线连接,可以方便地对其进行替换或更新,这极大地简化了系统的维护、升级过程。同时采用了通用硬件平台,简化了系统的硬件设计过程,并且各功能模块实现能够单独设计,方便进行团队协作,从而提高开发效率。经 PIL 仿真试验,表明该开放式 DEEC

具备对发动机的状态调节控制能力,同时通过节点故障注入试验,表明该构架具有良好的重构特性,能够提高DEEC的可靠性。

参考文献:

- [1] Behbahani A R. Advanced, adaptive, modular, distributed, generic universal FADEC framework for intelligent propulsion control systems[R]. AFRL-RZ-WP-TP-2008-2044, 2008.
- [2] Tooley J J, Dr Le K D, Parameswaran S. Design and system implementation considerations for high-temperature distributed engine control[R]. AIAA-2010-6674, 2010.
- [3] Behbahani A, Culley D, Carpenter S, et al. Status vision and challenges of intelligent distributed engine control architecture[R]. AFRL-RZ-WP-TP-2008-2042, 2008.
- [4] Tulpule B, Behbahani A, Millar R. Vision for next generation modular adaptive generic integrated controls (MAGIC) for military/commercial turbine engines[R]. AIAA-2007-5710, 2007.
- [5] Jakovljevic M, Fulcher L, Benson D. Expectations and vision for true modular distributed engine control-beyond 1st project[R]. AIAA-2008-5279, 2008.
- [6] Yedavalli R K, Belapurkar R K, Behbahani A R. Stability analysis of distributed engine control systems under communication packet drop[R]. AFRL-RZ-WP-TP-2008-2189, 2008.
- [7] 刘冬冬, 张天宏, 陈建. 开放式FADEC系统的数据总线技术研究[J]. 航空动力学报, 2012, 27(4): 920-929.
LIU Dongdong, ZHANG Tianhong, CHEN Jian. The study on data bus of open FADEC system[J]. Journal of Aerospace Power, 2012, 27(4): 920-929. (in Chinese)
- [8] TTTech Inc. D-032-S-10-028 time-triggered protocol TTP/C high-level document protocol; version 1.1[M]. [S. l.]: TTTech Inc, 2003.
- [9] 张兴隆, 苏罗辉, 杨敏. 基于FPGA的时间触发协议控制器实现[J]. 系统仿真学报, 2010, 22(增刊1): 114-118.
ZHANG Xinglong, SU Luohui, YANG Min. Implementation of a time-triggered protocol controller on FPGA[J]. Journal of System Simulation, 2010, 22(suppl. 1): 114-118. (in Chinese)
- [10] 刘双与, 郭丽娟, 张激, 等. TTP/C协议的一致性机制研究[J]. 计算机工程, 2006, 32(5): 119-121.
LIU Shuangyu, GUO Lijuan, ZHANG Ji, et al. Research on the consistency mechanism of TTP/C[J]. Computer Engineering, 2006, 32(5): 119-121. (in Chinese)
- [11] 魏婷, 张喜民, 陈益. 一种基于TTP/C协议的容错策略研究[J]. 航空计算技术, 2008, 38(3): 90-93.
- WEI Ting, ZHANG Ximin, CHEN Yi. Research of fault-tolerant strategy in TTP/C[J]. Aeronautical Computing-Technique, 2008, 38(3): 90-93. (in Chinese)
- [12] 张天宏, 王继业. 微型涡轮发动机快速原型控制系统[J]. 航空动力学报, 2007, 22(2): 274-279.
ZHANG Tianhong, WANG Jiye. A rapid prototype control system for micro turbine engine[J]. Journal of Aerospace Power, 2007, 22(2): 274-279. (in Chinese)
- [13] 陈建. 基于FPGA的TTP/C总线控制器设计及验证[D]. 南京: 南京航空航天大学, 2013.
CHEN Jian. Design and validation of a TTP/C bus controller based on FPGA[D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2013. (in Chinese)
- [14] 黄金泉, 徐科. 航空发动机分布式控制系统结构分析[J]. 航空动力学报, 2003, 18(5): 698-704.
HUANG Jinquan, XU Ke. Distributed control systems for aeroengines: a survey[J]. Journal of Aerospace Power, 2003, 18(5): 698-704. (in Chinese)
- [15] 刘冬冬, 张天宏, 黄向华, 等. 基于FPGA的航空发动机电子控制器设计技术研究[J]. 测控技术, 2012, 31(1): 57-61.
LIU Dongdong, ZHANG Tianhong, HUANG Xianghua, et al. The study on aero-engine electronic controller design technology based on FPGA[J]. Measurement & Control Technology, 2012, 31(1): 57-61. (in Chinese)
- [16] 韩建军. 基于BIT的双通道容错电子控制器设计及验证[D]. 南京: 南京航空航天大学, 2011.
HAN Jianjun. Design and validation of a dual-channel and fault-tolerant DEEC based on BIT[D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2011. (in Chinese)
- [17] 吴天翼, 樊丁, 杨帆, 等. 某型航空发动机FADEC系统设计与仿真[J]. 科学技术与工程, 2012, 12(1): 106-111.
WU Tianyi, FAN Ding, YANG Fan, et al. Design and simulation of FADEC system of one certain type aeroengine[J]. Science Technology and Engineering, 2012, 12(1): 106-111. (in Chinese)
- [18] 陕薇薇, 樊丁. FADEC系统软件非相似技术容错结构设计[J]. 计算机测量与控制, 2006, 14(9): 1263-1265.
SHAN Weiwei, FAN Ding. Design of FADEC software system based on dissimilarity redundancy[J]. Computer Measurement & Control, 2006, 14(9): 1263-1265. (in Chinese)
- [19] 张天宏. 航空发动机数字电子控制器的BIT技术[J]. 航空制造技术, 2009(18): 42-45.
ZHANG Tianhong. BIT technology of aeroengine digital electronic controller[J]. Aeroengine Manufacturing Technology, 2009(18): 42-45. (in Chinese)